

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-288037

(43)Date of publication of application : 04.10.2002

(51)Int.Cl. G06F 12/06
G06F 12/00
G11C 11/407
G11C 11/401

(21)Application number : 2001-089303

(71)Applicant : SONY CORP

(22)Date of filing : 27.03.2001

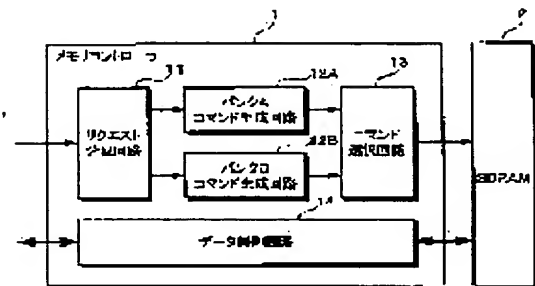
(72)Inventor : YAMANAKA KATSUHIKO

(54) MEMORY CONTROL DEVICE AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the accessing efficiency in switching a bank by moving the access to another bank in a clock cycle where the data is not exchanged in a bank, in a memory control device and a memory control method for controlling SDRAM composed of plural banks.

SOLUTION: An inputted request is divided into requests for each of the banks by a request distributing circuit 11, and a command for each bank is generated by command generating circuits 12A, 12B for each bank. During a period when the data is not exchanged in the present bank, a precharge command of the present bank is procrastinated, and the access command of another bank takes priority. Therefore a weight in exchanging the bank is not generated, and the access can be efficiently executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-288037

(P2002-288037A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 12/06	5 5 0	G 0 6 F 12/06	5 5 0 A 5 B 0 6 0
12/00	5 9 7	12/00	5 9 7 C 5 M 0 2 4
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S
11/401			3 6 2 H

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2001-89303(P2001-89303)

(22) 出願日 平成13年3月27日 (2001.3.27)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山中 克彦

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 5B060 CA12

5M024 AA49 AA50 BB27 BB35 BB36

DD83 DD90 JJ02 JJ17 LL01

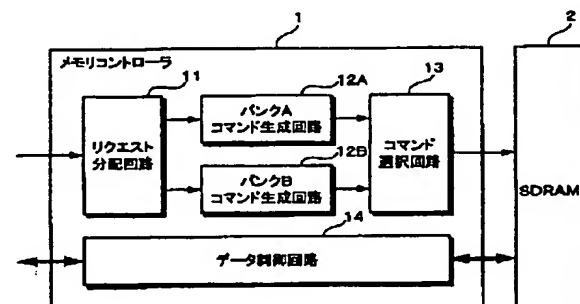
PP01 PP07 PP10

(54) 【発明の名称】 メモリ制御装置及び方法

(57) 【要約】

【課題】 複数のバンクからなるSDRAMを制御するメモリ制御装置及び方法において、そのバンクでデータのやり取りがなされていないクロックサイクルに別のバンクにアクセスを移し、バンクを切り換えたときのアクセス効率を上げることができるようにする。

【解決手段】 リクエスト分配回路11により、入力された要求が各バンク毎の要求とに分けられ、各バンク毎のコマンド生成回路12A、12Bにより、各バンク毎にコマンドが生成される。現在のバンクでデータのやり取りがなされていない期間に、現在のバンクのプリチャージコマンドが先送りされ、他のバンクのアクセスコマンドが優先される。これにより、バンクを切り換えたときのウェイトがなくなり、アクセスが効率的に行われる。



【特許請求の範囲】

【請求項1】 複数のバンクから構成され、クロックを使用してデータを読み書きを行う同期型メモリを制御するメモリ制御装置であって、
入力された要求を上記複数のバンク毎に分配するリクエスト分配手段と、
上記要求に基づいて上記複数のバンク毎のコマンドを生成する複数のコマンド生成手段と、
上記複数のコマンド生成手段で生成されたコマンドを選択し、上記同期型メモリに供給するコマンド選択手段と 10
を備え、

上記コマンド選択手段は、バンクのデータアクセスがない期間に、他のバンクのコマンドを優先させるようにしたことを特徴とするメモリ制御装置。

【請求項2】 上記コマンド選択手段は、バンクのデータアクセスがない期間に、他のバンクのアクティブコマンドを優先させるようにした請求項1に記載のメモリ制御装置。

【請求項3】 上記コマンド選択手段は、プリチャージコマンドを先送りするようにした請求項1に記載のメモリ制御装置。 20

【請求項4】 上記コマンド選択手段は、バンクのデータアクセスがない期間に、他のバンクのアクティブコマンドを優先させると共に、プリチャージコマンドを先送りするようにした請求項1に記載のメモリ制御装置。

【請求項5】 複数のバンクから構成され、クロックを使用してデータを読み書きを行う同期型メモリを制御するメモリ制御方法であって、
入力された要求を上記複数のバンク毎に分配し、
上記要求に基づいて上記複数のバンク毎のコマンドを生成し、 30
上記生成されたコマンドを選択して、上記同期型メモリに供給し、

上記選択は、バンクのデータアクセスがない期間に、他のバンクのコマンドを優先させるようにしたメモリ制御方法。

【請求項6】 上記選択は、バンクのデータアクセスがない期間に、他のバンクのアクティブコマンドを優先させるようにした請求項5に記載のメモリ制御方法。

【請求項7】 上記選択は、プリチャージコマンドを先送りするようにした請求項5に記載のメモリ制御方法。 40

【請求項8】 上記コマンド選択手段は、バンクのデータアクセスがない期間に、他のバンクのアクティブコマンドを優先させると共に、プリチャージコマンドを先送りするようにした請求項5に記載のメモリ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンピュータの主記憶メモリや画像処理プロセッサに用いられるSDRAMを制御するのに用いて好適なメモリ制御装置及び方 50

法に関する。

【0002】

【従来の技術】近年、コンピュータの主記憶メモリや、画像処理プロセッサのメモリとして、SDRAM (Synchronous Dynamic Random Access Memory) が広く用いられるようになってきている。SDRAMは、クロックに同期した連続的なデータ転送が可能であり、バースト転送を指定すると、指定したバイト数分のデータ転送を1クロック単位で連続して行うことができる。また、SDRAM内の記憶領域は、複数のバンクに分割した構成とされている。このようにバンクを分割すると、バンク毎に切り換えてバースト転送を行うことで、異なるページをアクセスする際に必要となるプリチャージ動作を隠蔽することが可能になり、転送レートを向上することができる。

【0003】図6は、従来のSDRAMのメモリコントローラの構成を示すブロック図である。図6において、メモリコントローラ101は、リクエスト処理回路111と、コマンド生成回路112と、コマンド出力回路113と、データ制御回路114とからなる。

【0004】リクエスト処理回路111に、メモリ対する処理を行うための要求が与えられる。リクエスト処理回路111は、この要求を保持し、この要求をコマンド生成回路112に対して出力する。コマンド生成回路112は、この要求に対するコマンドを生成する。このコマンドは、ある要求に対するバンクアクティブ、リード/ライト、プリチャージのコマンドセットからなる。コマンド生成回路112で生成されたコマンドは、コマンド出力回路113から出力され、SDRAM102に与えられる。データ制御回路114は、クロックに同期してSDRAM102からデータの読み出し/書き込みを行う制御を行なう。

【0005】

【発明が解決しようとする課題】SDRAMでは、各バンクは独立しており、各バンクに対して独立にコマンドを発行することができる。また、このような複数バンク構成のSDRAMでは、データ線は各バンクで共有するため、リード/ライト動作を同時に行うことができないが、アクティブコマンドの発行からリード/ライト期間、及びそれからプリチャージコマンド発行までの間に発生するデータアクセスのないクロックサイクルでは、他のバンクに対するアクセスを同時に行うことができる。

【0006】そこで、このようなデータアクセスのないクロックサイクルに、別のバンクをアクセスし、バンクが切り換えられたときのアクセス効率を上げることが考えられる。

【0007】つまり、SDRAMでは、バンクにアクティブコマンドを送り、リード/ライトのコマンドを送った後に、データのリード/ライトが行われる。アクティ

3

ブコマンドを送った後にリード/ライトコマンドが送れるようになるまで、及び、リード/ライトコマンドを送った後に実際にデータがリード/ライトされるまで、待ち時間が必要である。したがって、そのバンクでデータのやり取りがなされていないクロックサイクルで、他のバンクにアクティブコマンドを送っておけば、他のバンクに切り換えられたときに、待ち時間がなくなり、即座にデータがリード/ライトできる。

【0008】ところが、上述の従来のSDRAMのコントローラでは、要求毎に順次コマンドセットを発行する10ようにしている。このため、1つのバンクに対するバンクアクティブ、リード/ライト、プリチャージからなるコマンドセットが発行された後でないと、他のバンクに対するコマンドセットが発行できない。このため、そのバンクでデータのやり取りがなされていないクロックサイクルで、他のバンクをアクセスして、アクセス効率を上げるようにすることは困難である。

【0009】すなわち、図7は、上述の従来のメモリコントローラ101でのコマンド発行アルゴリズムを示すフローチャートである。図7において、アイドル状態から(ステップS101)、アクセス要求があるか否かが判断され(ステップS102)、アクセス要求があったら、アクティブコマンドが発行される(ステップS103)。そして、リード/ライトコマンドが発行可能になるまで(ステップS105)、ウェイトされ(ステップS104)、リード/ライトコマンドが発行可能になったら、リード/ライトコマンドが発行される(ステップS106)。そして、データの読み出しが終了するまで(ステップS108)、ウェイトされ(ステップS107)、バーストアクセスが終了するまで(ステップS109)、リード/ライトコマンドの発行(ステップS106)、ウェイト(ステップS107)、データの読み出し終了の判断が行われる(ステップS108)。ステップS109でバーストアクセスが終了したと判断されたら、ステップS106で、さらに、リード/ライトコマンドが発行される。ステップS108で、データの読み出しが終了したら、プリチャージが可能になるまで(ステップS110)、ウェイトされ(ステップS111)、プリチャージが可能になったら、プリチャージが実行される(ステップS112)。

【0010】例えば、SDRAMのバンクAへのリードの要求と、バンクBへのリードの要求が起こったとする。この場合、従来のメモリコントローラ101では、図8に示すように、バンクAに対するバンクアクティブ、リード/ライト、プリチャージからなるコマンドセットが発行された後に、バンクBに対するバンクアクティブ、リード/ライト、プリチャージからなるコマンドセットが発行される。

【0011】すなわち、図8は、従来のメモリコントローラ101で、バンクAへのリードの要求と、バンクB

4

へのリードの要求が起こったときの動作を示すものである。なお、CASレイテンシーは「2」、バースト長は「2」とする。

【0012】図8において、クロックサイクル「1」で、バンクAに対するバンクアクティブコマンドが発行される。クロックサイクル「2」がウェイトとなり、クロックサイクル「3」で、バンクAのリードコマンドが発行される。クロックサイクル「4」がウェイトとなり、クロックサイクル「5」で、バンクAに対するリードコマンドが発行される。クロックサイクル「6」がウェイトとなり、クロックサイクル「7」でバンクAに対するプリチャージコマンドが発行される。

【0013】このようにして、バンクAに対するバンクアクティブ、リード、プリチャージのコマンドセットが発行された後のサイクルから、バンクBに対するコマンドセットが発行される。

【0014】クロックサイクル「8」で、バンクBに対するアクティブコマンドが発行される。クロックサイクル「9」がウェイトとなり、クロックサイクル「10」でバンクBに対するアクティブコマンドが発行される。クロックサイクル「11」がウェイトとなり、クロックサイクル「12」で、バンクBに対するプリチャージコマンドが発行される。

【0015】このように、従来のメモリコントローラでは、バンクAに対するコマンドセットを発行してから、バンクBに対するコマンドセットを発行していたため、バンクAに対するリードとバンクBに対するリードを行う処理に12クロックサイクル要する。

【0016】ここで、クロックサイクル「1」でバンクAのアクティブコマンドを発行してから、クロックサイクル「3」又はクロックサイクル「5」でリードコマンドを発行するまでの期間、及びクロックサイクル「7」でプリチャージコマンドを発行する間では、他方のバンクBに対するアクセスを同時に行うことができる。この間に、バンクBにアクティブコマンドを与えておけば、バンクAのデータの読み出しを行った後に、直ちに、バンクBのデータを読み出すことができる。

【0017】ところが、上述のように、従来のメモリコントローラでは、各バンクに順次バンクアクティブ、リード/ライト、プリチャージからなるコマンドセットを与える構成とされており、アクティブからリード/ライトまでの間及びプリチャージ発行の間のデータのやり取りがなされていないクロックサイクルで、別のバンクをアクセスして、アクセス効率を上げることができないという問題がある。

【0018】したがって、この発明の目的は、複数のバンクからなるSDRAMを制御するメモリ制御装置及び方法において、そのバンクでデータのやり取りがなされていないクロックサイクルに別のバンクにアクセスを移し、バンクを切り換えたときのアクセス効率を上げるこ

5

とができるようにしたメモリ制御装置及び方法を提供することにある。

【0019】

【課題を解決するための手段】この発明は、複数のバンクから構成され、クロックを使用してデータを読み書きを行う同期型メモリを制御するメモリ制御装置であって、入力された要求を上記複数のバンク毎に分配するリクエスト分配手段と、上記要求に基づいて上記複数のバンク毎のコマンドを生成する複数のコマンド生成手段と、上記複数のコマンド生成手段で生成されたコマンド10を選択し、上記同期型メモリに供給するコマンド選択手段とを備え、上記コマンド選択手段は、バンクのデータアクセスがない期間に、他のバンクのコマンドを優先させるようにしたことを特徴とするメモリ制御装置である。

【0020】この発明は、複数のバンクから構成され、クロックを使用してデータを読み書きを行う同期型メモリを制御するメモリ制御方法であって、入力された要求を上記複数のバンク毎に分配し、上記要求に基づいて上記複数のバンク毎のコマンドを生成し、上記生成された20コマンドを選択して、上記同期型メモリに供給し、上記選択は、バンクのデータアクセスがない期間に、他のバンクのコマンドを優先させるようにしたメモリ制御方法である。

【0021】入力された要求が各バンク毎の要求とに分けられ、各バンク毎のコマンド生成回路により、各バンク毎にコマンドが生成される。そして、現在のバンクでデータのやり取りがなされていない期間に、現在のバンクのプリチャージコマンドが先送りされ、他のバンクのアクセスコマンドが優先される。これにより、バンクを30切り換えたときのウェイトがなくなり、アクセスが効率的に行われる。

【0022】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の一実施の形態を示すものである。図1において、1はメモリコントローラ、2はSDRAMである。SDRAM2は、図2に示すように、2つのバンクA、バンクBを有する。メモリコントローラ1は、このような2つのバンクA、BからなるSDRAM2の制御を行うものであ40る。SDRAMは、バースト転送を指定すると、指定したワード線分のデータ転送を1クロックサイクルで行うことができる。

【0023】図1において、この発明が適用されたメモリコントローラ1は、リクエスト分配回路11と、コマンド生成回路12A及び12Bと、コマンド選択回路13と、データ制御回路14とからなる。

【0024】リクエスト分配回路11には、メモリに対する処理を行うための要求が与えられる。この要求には、バンクAに対する要求と、バンクBに対する要求と50

6

がある。リクエスト分配回路11は、与えられた要求を、バンクAに対する要求とバンクBに対する要求とに分け、バンクAに対する要求は、コマンド生成回路12Aに供給し、コマンドBに対する要求はコマンド生成回路12Bに供給している。

【0025】コマンド生成回路12Aは、SDRAM2のバンクAの要求に対するコマンドを生成している。コマンド生成回路12Bは、SDRAM2のバンクBの要求に対するコマンドを生成している。

【0026】コマンドには、アクティブ、リード/ライト、プリチャージがある。アクティブコマンドは、選択したメモリセルに対応するワード線に所定のパルス電圧（ワード線を活性化させる）ことを指示するコマンドである。リードコマンドは、選択されたメモリセルのデータ線の電位から記憶データを読み取ることを指示するコマンドである。ライトコマンドは、選択されたメモリセルのデータ線に、書き込むデータに応じた電位を印加することを指示するコマンドである。プリチャージコマンドは、SDRAM2内のアクセスを行うメモリセルに対応するデータ線を所定の電位に設定することを指示するコマンドである。

【0027】コマンド生成回路12A及びコマンド生成回路12Bからのコマンドがコマンド選択回路13に供給される。コマンド選択回路13は、SDRAM2のアクセスが効率的に行われるように、バンクAに対するコマンドとバンクBに対するコマンドとを選択して、SDRAM2に送っている。

【0028】すなわち、アクティブコマンドの発行からリード/ライト期間、及びプリチャージコマンド発行の期間において、データのやり取りがなされていないクロックサイクルでは、別のバンクをアクセスすることができる。そこで、例えば、バンクAに対するアクセスを行っている間において、データのやり取りがなされていないクロックサイクルで、バンクBに対するコマンドのうちアクティブコマンドを優先して出し、プリチャージコマンドを先送りするようにする。このようにすると、バンクAからバンクBにアクセスが移ったときに、バンクBのリード/ライトを直ちに行うことができ、効率的にアクセスが行える。

【0029】コマンド選択回路13は、このように、現在のバンクでデータのやり取りがなされていないクロックサイクルに、他のバンクでアクティブコマンドの発行があればそれを優先し、プリチャージコマンドは先送りにして、バンクが切り換えられたときのアクセスが効率的に行えるようにしている。

【0030】データ制御回路14は、クロックに同期してSDRAM2からデータの読み出し/書き込みを行う制御を行っている。

【0031】このように、この発明の実施の形態では、リクエスト分配回路11により、メモリコントローラ1

7

に入力された要求がバンクAに対する要求とバンクBに対する要求とに分けられ、コマンド生成回路12A及び12Bで、各バンク毎にコマンドが生成される。そして、コマンド選択回路13で、SDRAM2のアクセスが効率的に行われるように、現在のバンクでデータのやり取りがなされていないクロックサイクルに、他のバンクでアクティブコマンドの発行があればそれを優先し、プリチャージコマンドは先送りにしている。

【0032】図3は、コマンド選択回路13のコマンド選択アルゴリズムの一例を示すものである。図3におい

て、現在アクセス中のバンクのコマンドが実行される(ステップS1)。そして、次のコマンドがあるか否かが判断される(ステップS2)。次のコマンドがあったら、次のコマンドがプリチャージコマンドであるか否かが判断され(ステップS3)、プリチャージコマンドでなければ、ステップS1に戻り、現在のバンクのコマンドが引き続き実行される。

【0033】ステップS3で、プリチャージコマンドであると判断されたら、プリチャージコマンドは先送りされるため、次のバンクに移り(ステップS4)、ステップS1に戻り、次のバンクのコマンドが実行される。

【0034】ステップS2で、次のコマンドがなければ、他のバンクのアクティブコマンドがあるか否かが判断される(ステップS5)。他のバンクのアクティブコマンドがあれば、他のバンクのアクティブコマンドが優先して発行され(ステップS6)、ステップS2に戻る。

【0035】ステップS5で、他のバンクのアクティブコマンドがなければ、他のバンクのプリチャージコマンドがあるか否かが判断される(ステップS7)。他のバンクのプリチャージコマンドがあったら、アクセス済みバンクのプリチャージコマンドが発行され(ステップS8)、ステップS2に戻る。

【0036】ステップS7で、他のバンクのプリチャージコマンドがなければ、コマンド発行をせずに(ステップS9)、ステップS2に戻る。

【0037】例えば、バンクAとバンクBとにアクセスするような場合、現在、バンクAにアクセスしているとすると、まず、バンクAのコマンドが出力される(ステップS1)。ここで、次に、どのコマンドを出力すべきであるかの判断が行われる。まず、現在のバンクAに対し、次に有効なコマンドがあるか否かが判断され(ステップS2)、有効なコマンドがある場合には、次がプリチャージコマンドであるか否かが判断され(ステップS3)、次がプリチャージコマンド以外のコマンドである場合には、そのコマンドを発行し、次がプリチャージコマンドであれば、アクセス要求を待っている次のバンクにアクセスに移される(ステップS4)。

【0038】バンクAに次のコマンドがない場合には、アクティブコマンド要求を出しているバンクがあれば

8

(ステップS5)、これが発行され(ステップS6)、アクティブコマンド要求を出しているバンクがない場合には、プリチャージ待ちのバンクがあるか否かが判断され(ステップS7)、プリチャージ待ちのバンクがあったら、プリチャージが発行され(ステップS8)、プリチャージ待ちのバンクがない場合には、次のクロックではコマンドは発行せず(ステップS9)、更に、ステップS2に戻り、次のクロックにおける判断に移る。このような処理が繰り返し行われる。

【0039】図4は、この発明が適用されたメモリコントローラ1で、バンクAへのリードの要求と、バンクBへのリードの要求が起こったときの動作を示すものである。なお、CASレイテンシーは「2」、バースト長は「2」とする。

【0040】図4において、クロックサイクル「1」で、バンクAに対するバンクアクティブコマンドが発行される。クロックサイクル「2」がウェイトとなり、クロックサイクル「3」で、バンクAのリードコマンドが発行される。

【0041】クロックサイクル「4」では、バンクBに対するアクティブコマンドが出されているので、これを優先して、バンクBに対するアクティブコマンドが与えられる。

【0042】クロックサイクル「5」で、バンクAに対するリードコマンドが発行される。クロックサイクル「6」がウェイトとなる。

【0043】クロックサイクル「7」では、バンクAに対するプリチャージコマンドが発行されるべきであるが、これは先送りにされ、アクセスがバンクBに移され、バンクBのリードコマンドが発行される。

【0044】クロックサイクル「8」で、バンクAに対するプリチャージコマンドが発行され、クロックサイクル「9」で、バンクBに対するプリチャージコマンドが発行される。

【0045】従来では、アクティブ、リード/ライト、プリチャージのコマンドセットを順次バンクに送るようにしていたのに対して、この発明の実施の形態では、上述のように、現在のバンクでデータのやり取りがなされていない期間に、他のバンクでアクティブコマンドの発行があればそれを優先し、プリチャージコマンドは先送りにしている。

【0046】図4に示したこの発明が適用されたメモリコントローラを使ったときのデータアクセスのタイミングと、図8に示した従来のメモリコントローラを使ったときのデータアクセスのタイミングとを比較すれば分かるように、従来のように、アクティブ、リード・ライト、プリチャージのコマンドセットを順次バンクに送るようにした場合には、バンクAに対するリードとバンクBに対するリードを行う処理に12クロックサイクル要するのに対して、この発明の実施の形態では、9クロ

9

クサイクルで処理できる。このように、この発明の実施の形態では、3クロック分の短縮が図れる。

【0047】なお、上述の例では、SDRAM2のバンク数を2つにしているが、この発明は、バンク数が複数の場合にも同様に適用できる。

【0048】例えば、図5は、SDRAM2のバンク数を4にした場合の例である。バンク数が4の場合には、各バンクに対応して、コマンド生成回路12A、12B、12C、12Dが設けられる。リクエスト分配回路11では、4つのバンクに対応してリクエストが分配され、各コマンド生成回路12A、12B、12C、12D、各バンク毎のコマンドが生成される。そして、コマンド選択回路13で、SDRAM2のアクセスが効率的に行われるように、コマンドが分配される。このときの処理は、バンクが2つのときと同様に、そのバンクに対するコマンドのうちプリチャージコマンドを先送りにし、他のバンクに対するコマンドのうちアクティブコマンドを早く出すようにすれば良く、そのときの処理は、前述の図3の処理と同様である。

【0049】

【発明の効果】この発明によれば、入力された要求が各バンク毎の要求とに分けられ、各バンク毎のコマンド生成回路により、各バンク毎にコマンドが生成される。そして、現在のバンクでデータのやり取りがなされてい

10

*い期間に、現在のバンクのプリチャージコマンドが先送りされ、他のバンクのアクセスコマンドが優先される。これにより、バンクを切り換えたときのウェイトがなくなり、アクセスが効率的に行われる。

【図面の簡単な説明】

【図1】この発明の一実施の形態のブロック図である。

【図2】SDRAMの説明に用いる略線図である。

【図3】この発明の一実施の形態の説明に用いるフローチャートである。

【図4】この発明の一実施の形態の説明に用いるタイミング図である。

【図5】この発明の他の実施の形態のブロック図である。

【図6】従来のメモリコントローラの一例のブロック図である。

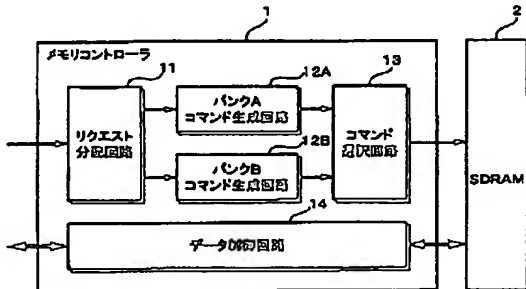
【図7】従来のメモリコントローラの一例の説明に用いるフローチャートである。

【図8】従来のメモリコントローラの一例の説明に用いるタイミング図である。

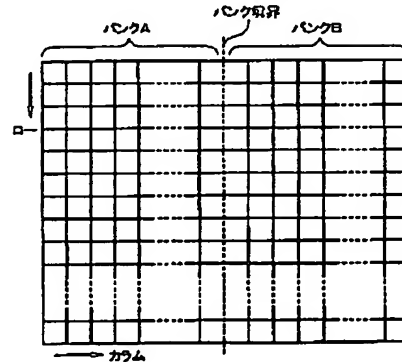
20 【符号の説明】

1・・・メモリコントローラ、11・・・リクエスト分配回路、12A、12B、12C・・・コマンド生成回路、13・・・コマンド選択回路

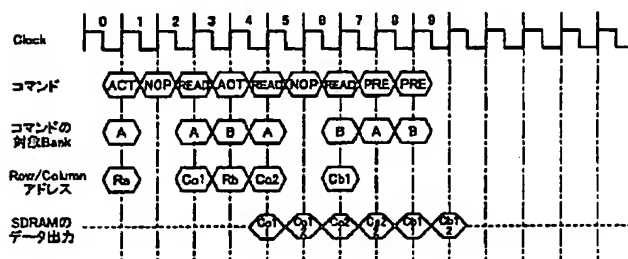
【図1】



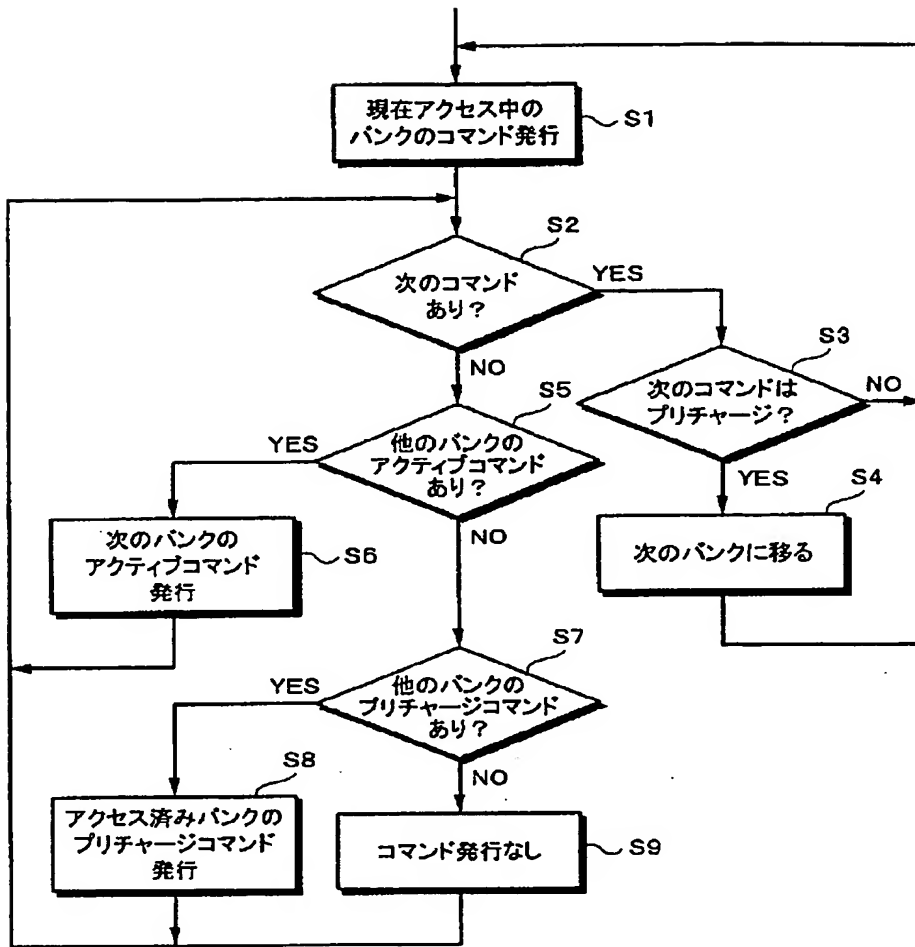
【図2】



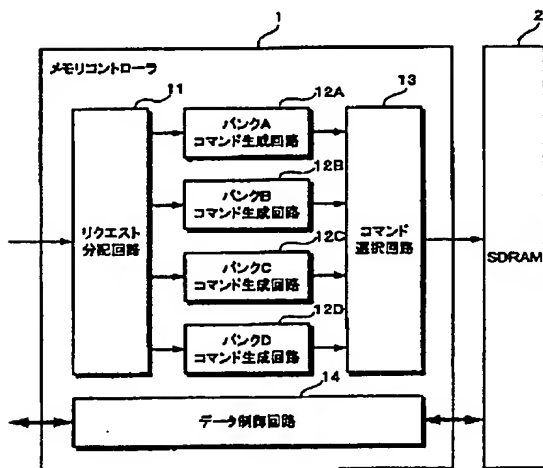
【図4】



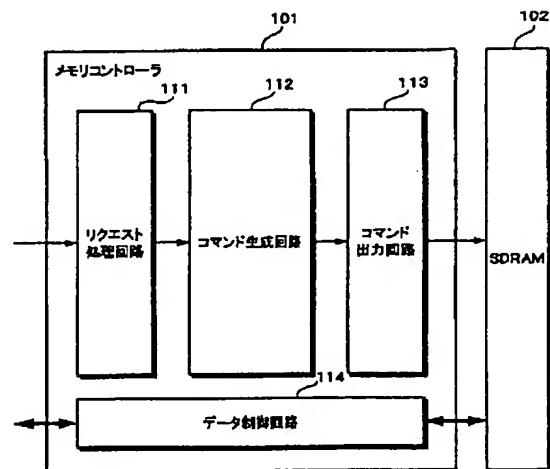
【図3】



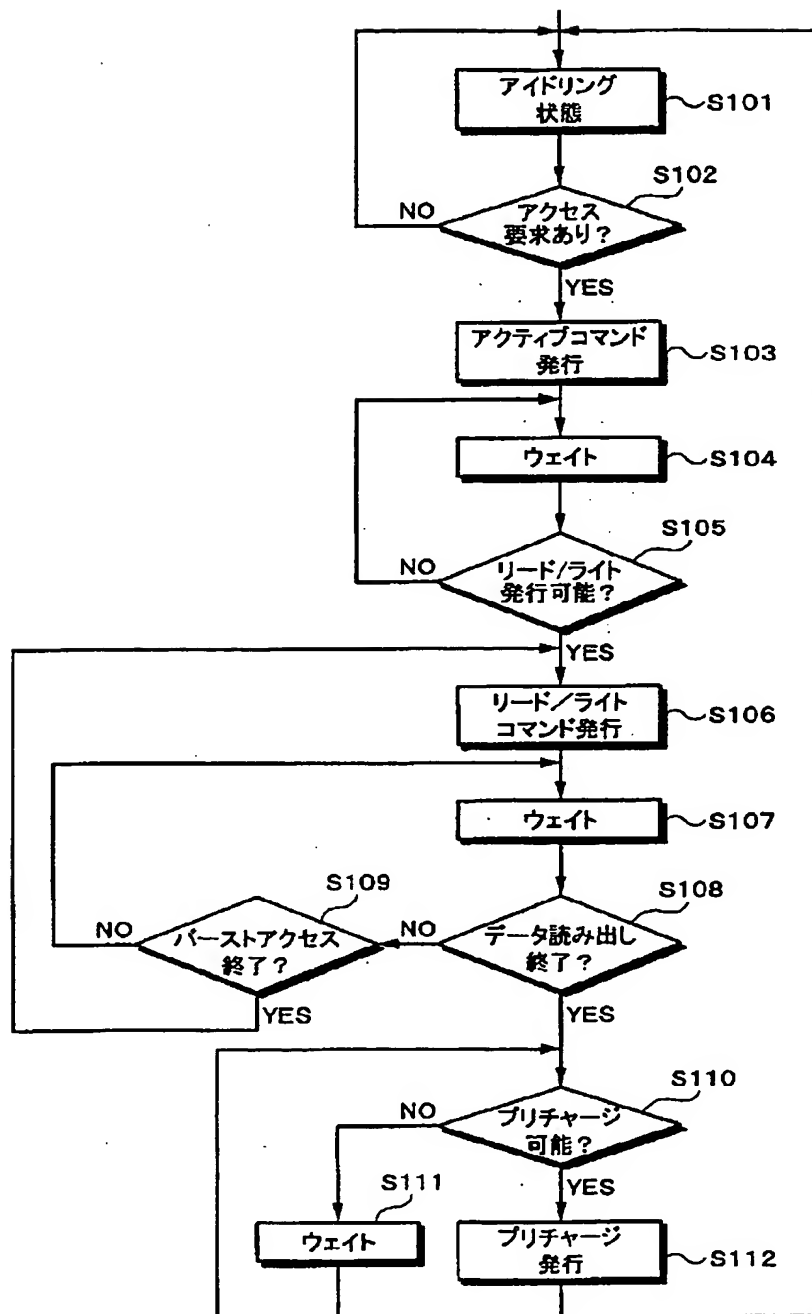
【図5】



【図6】



【図7】



【図8】

